

[Claim 4]

A voltage controlled oscillator including a first varactor element that comprises a negative resistance circuit and a part of a resonance circuit for changing an oscillation frequency obtained at an oscillation output terminals by changing a frequency controlled voltage that is applied to a control terminal of the first varactor element, the voltage controlled oscillator further comprising

at least one fourth varactor element that is connected in parallel to the first varactor element and a level shift circuit for generating a plurality of voltages of different values upon inputting the frequency controlled voltage, wherein the different voltages obtained in the level shift circuit are respectively impressed to control terminals of the first and fourth varactor elements.

[0007]

[Problems to be Solved by the Invention]

While the transfer characteristics of the oscillation frequency and the control voltage of the voltage controlled oscillator depend almost entirely on the characteristics of the varactor elements when of resonance type, it is difficult to obtain linear changes over a broad range. In single chip voltage controlled oscillators using CMOS processes, which have become popular in these years, it is impossible to use varactor elements obtained through special processes such as super abrupt junction or the like as those used as varactor elements in conventional voltage controlled oscillators employing modules, and it is particularly difficult to obtain favorable variable capacity characteristics.

[0008]

Fig. 17 is a characteristic view of the oscillation frequency with respect to the control voltage V_c in the voltage controlled oscillator of conventional type employing CMOS processes as illustrated in Fig. 16. Fig. 18 is a characteristic view of gate capacity with respect to the control voltage V_c (gate voltage) of a MOS transistor.

[0009]

In the voltage controlled oscillator of Fig. 16, the gate capacity of MOS transistors 303, 304 is employed as the capacity of the varactor elements; however, since this gate capacity

abruptly changes in proximity of a threshold voltage as illustrated in Fig. 18, it is impossible to obtain linearity over a broad range. As already mentioned, since the transient response characteristics and noise band characteristics of the PLL are determined by the conversion gain of the voltage controlled oscillator, a poor linearity of the conversion gain of the voltage controlled oscillator is not favorable since it will result in large changes in characteristics depending on the oscillation frequency.

[0027]

[Embodiment 3]

Fig. 6 illustrates a form for embodying the voltage controlled oscillator according to Claim 4 of the present invention. Here, four varactor elements are provided for oscillation frequency control as indicated by the reference numerals 4A, 4B, 4C and 4D, and control voltage is impressed to the varactor elements 4A, 4B, 4C and 4D from a level shift circuit 16. The level shift circuit 16 is arranged in that voltages shifted by V_d are generated from the four output terminals, that is, V_c , $V_c - V_d$, $V_c - 2V_d$ and $V_c - 3V_d$, provided that the control voltage input from a frequency control terminal 8 is V_c .

[0028]

While the characteristics of gate voltage vs. gate capacity of the 8 transistors employed as the four varactor elements 4A, 4B, 4C and 4D are all characteristics abruptly changing when proximate to the threshold, by shifting the control voltages V_c each by voltage V_d through the level shift circuit 16 and impressing the same to the respective varactor elements 4A, 4B, 4C and 4D, the characteristics of the gate capacity of the respective transistors with respect to these control voltages will be characteristics respectively offset by V_d in the voltage direction as illustrated in Fig. 7. In Fig. 7, 51A, 51B, 51C and 51D respectively illustrate characteristic views of the gate

capacity with respect to gate voltage of the transistors of the varactor elements 4A, 4B, 4C and 4D, respectively.

[0029]

Since the capacity of the resonance circuit will be equal to a sum of capacities of the four varactor elements 4A, 4B, 4C and 4D, the total capacity will be of characteristics as illustrated by the solid line 52 in Fig. 8, and it can be understood that the control width of the control voltage is wider than that of the changing width of the capacity and that the linear area has become broader when compared to the conventional capacity characteristics 53 as illustrated by the broken line (same as Fig. 18). Since changes in oscillation frequency will follow changes in variable capacity, the linear area of the oscillation frequency with respect to control voltage will accordingly become broader as illustrated in Fig. 9. In Fig. 9, the solid line 54 illustrates that of the present embodiment while the broken line 55 illustrates a conventional case (same as Fig. 17).

[0030]

While the present embodiment is comprised of four varactor elements, it is possible to further broaden the linear area by further increasing the number thereof.

[0031]

Fig. 10 illustrates an example for arranging the level shift circuit 16. 17 to 19 denote NMOS transistors serially

connected to a power source, 20 a power source, 21 an input terminal that is connected to the frequency control terminal 8, and 22 to 25 output terminals that are to be connected to the four varactor elements 4A, 4B, 4C and 4D. Since the current flowing through the drains/sources of the transistors 17 to 19 is constant, the gate/source voltage of the transistors will be constant (V_d) when the size of the respective transistors are the same, and it is accordingly possible to obtain voltages sequentially shifted by a constant voltage V_d with respect to the voltage V_c input to the input terminal 21 for the output terminals 22 to 25.

Translation of the drawings

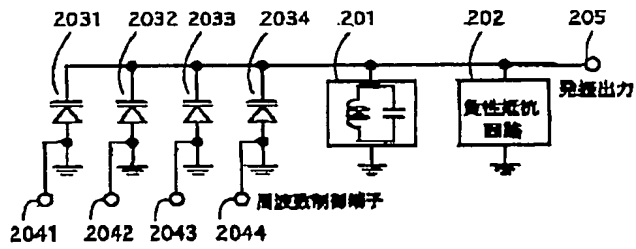
<FIG. 6>

- (1) Frequency control terminal
- (2) Level shift circuit
- (3) Oscillation output

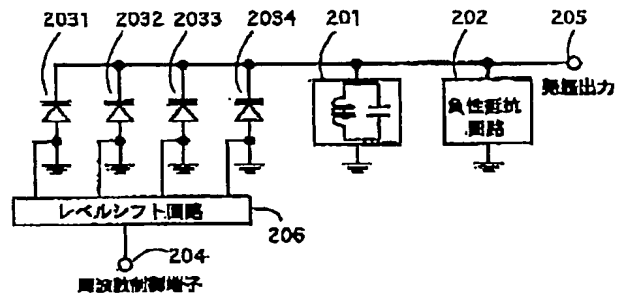
<FIGS. 7 to 10>

- (1) Capacity value
- (2) Control voltage V_c
- (3) Oscillation frequency

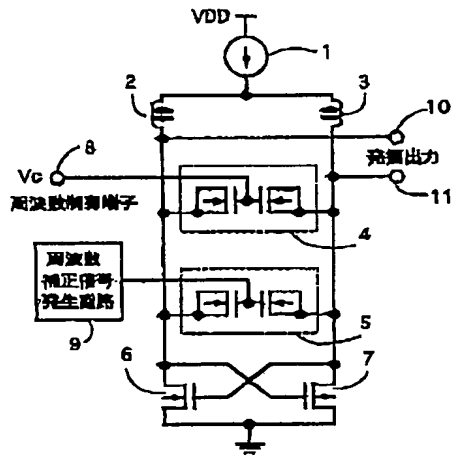
【図1】



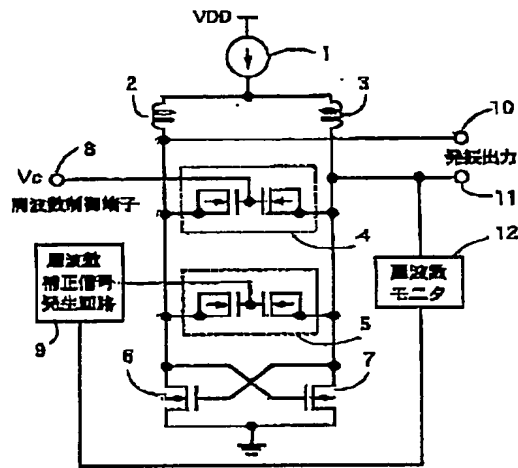
【図2】



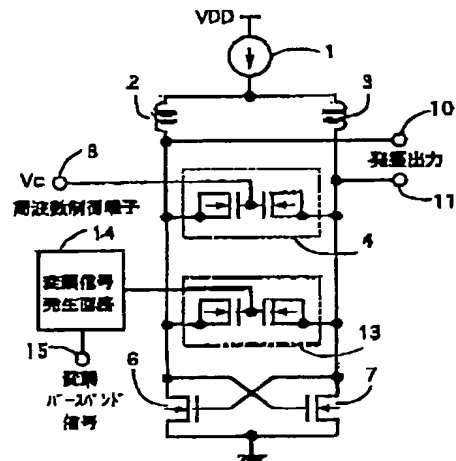
【図3】



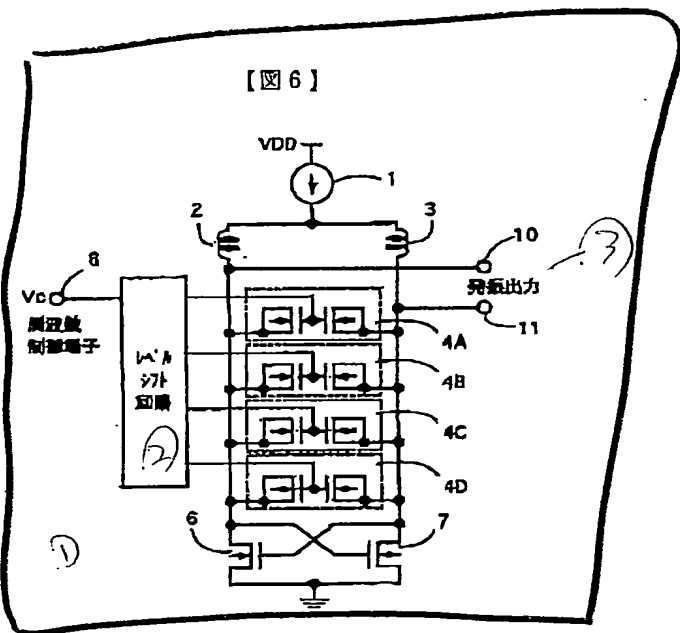
【図4】



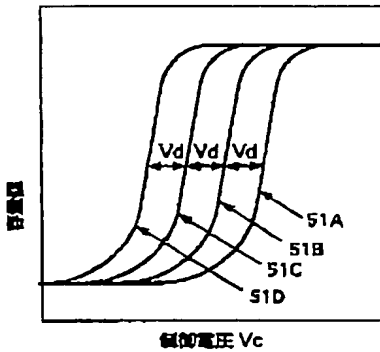
【図5】



【図6】

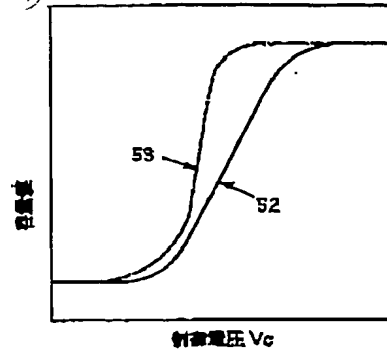


【図7】



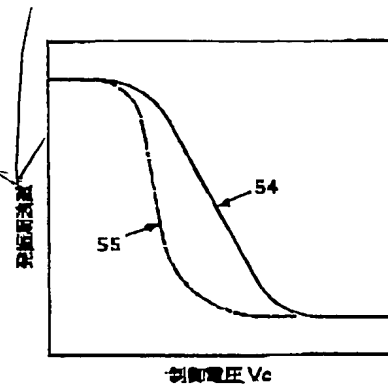
【図8】

①

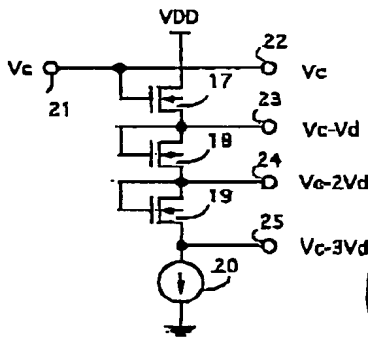


【図9】

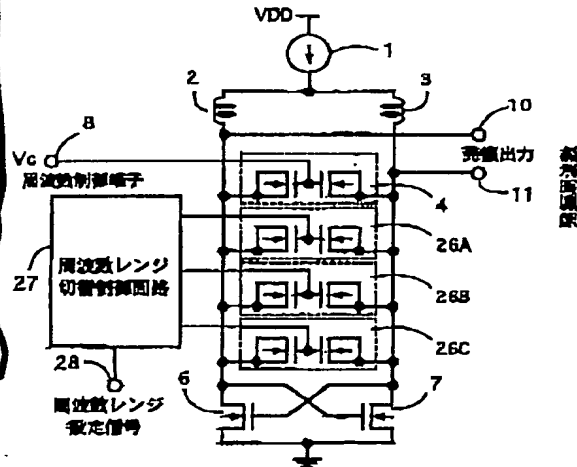
(3)



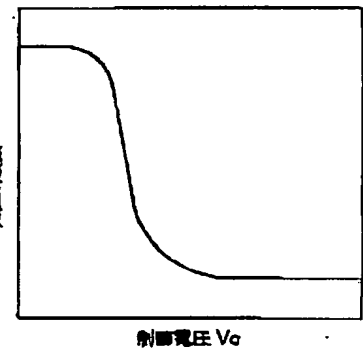
【図10】



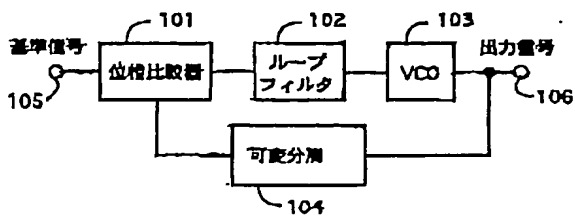
【図11】



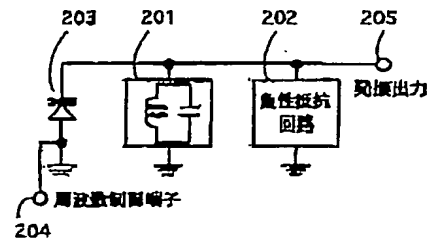
【図17】



【図13】



【図14】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-352218

(43)Date of publication of application : 21.12.2001

(51)Int.Cl. H03B 5/08
 H03B 7/06
 H03C 3/22
 H03L 7/06
 // H04L 27/10

(21)Application number : 2000-172959

(71)Applicant : NIPPON TELEGR & TELEPH CORP
 <NTT>

(22)Date of filing : 09.06.2000

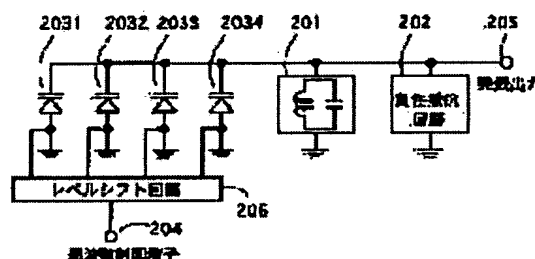
(72)Inventor : YAMAGISHI AKIHIRO
 UGAJIN MAMORU
 TSUKAHARA TSUNEO

(54) VOLTAGE-CONTROLLED OSCILLATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To widen the linear range of conversion characteristics of a resonance type voltage-controlled oscillator by a CMOS process.

SOLUTION: This oscillator has a resonance circuit 201, a negative resistance circuit 202, and varactor elements 2031 to 2034 and a control voltage is shifted by a specific value at each time through a level shift circuit 206 and applied to the varactor elements to expand the linear range of the oscillation frequency to the control voltage.



LEGAL STATUS

[Date of request for examination]

02.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-352218

(P2001-352218A)

(43) 公開日 平成13年12月21日 (2001.12.21)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 3 B 5/08		H 0 3 B 5/08	A 5 J 0 8 1
7/06		7/06	5 J 1 0 6
H 0 3 C 3/22		H 0 3 C 3/22	A 5 K 0 0 4
H 0 3 L 7/06		H 0 4 L 27/10	Z
// H 0 4 L 27/10		H 0 3 L 7/06	Z
審査請求 未請求 請求項の数 6 O L (全 10 頁)			

(21) 出願番号 特願2000-172959 (P2000-172959)

(22) 出願日 平成12年6月9日 (2000.6.9)

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(72) 発明者 山岸 明洋

東京都千代田区大手町二丁目3番1号 日

本電信電話株式会社内

(72) 発明者 宇賀神 守

東京都千代田区大手町二丁目3番1号 日

本電信電話株式会社内

(74) 代理人 100083194

弁理士 長尾 常明

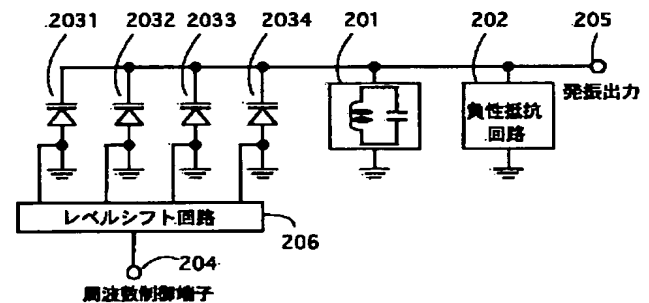
最終頁に続く

(54) 【発明の名称】 電圧制御発振器

(57) 【要約】

【課題】 CMOSプロセスによる共振型電圧制御発振器において変換特性の線形範囲を広げること。

【解決手段】 共振回路201と負性抵抗回路202と複数の可変容量素子2031~2034をもち、その複数の可変容量素子にレベルシフト回路206により制御電圧を所定値ずつシフトして印加することにより、制御電圧に対する発振周波数の線形領域を拡大する。



【特許請求の範囲】

【請求項1】 負性抵抗回路と共振回路の一部を構成する第1の可変容量素子とをもち、該第1の可変容量素子の制御端子に加える周波数制御電圧を変化させることにより発振出力端子に得られる発振周波数を変化させる電圧制御発振器において、

前記第1の可変容量素子に並列接続される第2の可変容量素子と、該第2の可変容量素子の制御端子に周波数補正信号を印加する周波数補正信号発生手段とを具備し、該周波数補正信号発生手段で発生した信号を前記第2の可変容量素子の制御端子に印加することにより前記第1の可変容量素子で決まる発振周波数のズレを補正することを特徴とする電圧制御発振器。

【請求項2】 請求項1において、前記発振出力端子に発振周波数を測定する測定手段を接続し、該測定手段で得られた測定結果を前記周波数補正信号発生手段に入力させることで、発振周波数のズレを補正することを特徴とする電圧制御発振器。

【請求項3】 負性抵抗回路と共振回路の一部を構成する第1の可変容量素子とをもち、該第1の可変容量素子の制御端子に加える周波数制御電圧を変化させることにより発振出力端子に得られる発振周波数を変化させる電圧制御発振器において、

前記第1の可変容量素子に並列接続される第3の可変容量素子と、該第3の可変容量素子の制御端子に周波数変調信号を印加する変調信号発生手段とを具備し、該変調信号発生手段で発生した信号を前記第3の可変容量素子の制御端子に印加することにより前記第1の可変容量素子で決まる発振周波数を変調させることを特徴とする電圧制御発振器。

【請求項4】 負性抵抗回路と共振回路の一部を構成する第1の可変容量素子とをもち、該第1の可変容量素子の制御端子に加える周波数制御電圧を変化させることにより発振出力端子に得られる発振周波数を変化させる電圧制御発振器において、

前記第1の可変容量素子に並列接続される少なくとも1つの第4の可変容量素子と、前記周波数制御電圧を入力して値の異なる複数の電圧を発生するレベルシフト回路を具備し、該レベルシフト回路で得られる異なった電圧を前記第1、第4の可変容量素子の制御端子に各々印加するようにしたことを特徴とする電圧制御発振器。

【請求項5】 負性抵抗回路と共振回路の一部を構成する第1の可変容量素子とをもち、該第1の可変容量素子の制御端子に加える周波数制御電圧を変化させることにより発振出力端子に得られる発振周波数を変化させる電圧制御発振器において、

前記第1の可変容量素子に並列接続される少なくとも1つの第5の可変容量素子と、該第5の可変容量素子の制御端子に当該可変容量素子の容量を第1の容量値と第2の容量値のいずれかに切り替える信号を印加する周波数

レンジ切替信号発生手段とを具備し、該周波数レンジ切替信号発生手段で発生した信号を前記第5の可変容量素子の制御端子に印加することにより前記第1の可変容量素子で決まる発振周波数のレンジを切り替えることを特徴とする電圧制御発振器。

【請求項6】 請求項1乃至5のいずれか1つにおいて、前記可変容量素子として、CMOSプロセスによって形成されるMOSトランジスタを使用し、その容量として該MOSトランジスタのゲート容量を利用したことを特徴とする電圧制御発振器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、無線通信の送受信器等に使用される電圧制御発振器に関するものであり、特に可変容量素子を2以上並列接続することにより、出力周波数のズレ補正、発振周波数の変調、変換特性の線形性向上、周波数レンジ切り替え等を行う技術に関するものである。

【0002】

【従来の技術】 無線通信の送受信器には搬送波を発生するための周波数シンセサイザが用いられる。現在多くの無線端末の局部発振器では周波数シンセサイザにPLL（フェーズ・ロック・ループ）が用いられている。

【0003】 このPLLシンセサイザは図13に示すように位相比較器101、ループフィルタ102、電圧制御発振器（VCO）103、可変分周器104からなるフードバックループで構成され、位相比較器101の入力端子105に入力する基準信号と可変分周器104の出力信号の周波数と位相が一致するように電圧制御発振器103の制御電圧が制御される。106は出力端子である。ここで可変分周器104の分周数を切り替えることで電圧制御発振器103の発振周波数を切り替えることができる。PLLシンセサイザの過渡応答特性や雑音帯域特性は、位相比較器101の利得、ループフィルタ102の伝達特性、電圧制御発振器103の変換利得、可変分周器104の分周数によって決定される。

【0004】 このようなPLLシンセサイザに使用される電圧制御発振器103は一般に、図14に示すように共振回路201と負性抵抗発生回路202を組み合わせたものが使われている。共振回路201と負性抵抗による電圧制御発振器の場合、発振周波数は共振回路201の共振周波数で決まるため、共振回路201に可変容量素子（バクタダイオード）を接続してその容量を変化させることで共振周波数を変化させ発振周波数を制御している。204は周波数制御端子、205は発振出力端子である。なお、図14では可変容量素子203は交流的に接地されていることを表しており、直流的には接地されていない。したがって制御端子204は直流的には接地されていない。このような電圧制御発振器の特性としては、周波数制御端子204に印加する制御電圧に対

して発振出力端子205に得られる発振周波数が広範囲で線形的に変化する特性が望ましい。

【0005】また、図15に示すように電圧制御発振器では、新たに変調制御端子107を設けて、そこから変調ベースバンド信号を入力することで出力端子106に周波数変調信号を得ることができる。このような回路はFSK変調方式での無線通信装置において広く使用されている。

【0006】図16はCMOSプロセスで実現した共振型電圧制御発振器の回路図である。この回路は共振回路をインダクタ301、302とNMOSトランジスタ303、304のゲート容量を利用した可変容量素子によって構成し、負性抵抗回路をクロスカプルのNMOSトランジスタ305、306によって構成した回路である。307は電流源、308は周波数制御端子、309、310は発振出力端子である。この回路では周波数制御端子308に制御電圧 V_c を加えるとトランジスタ303、304のゲート容量が変化しこれによって共振周波数が変化するため発振周波数が変化する。

【0007】

【発明が解決しようとする課題】電圧制御発振器の発振周波数と制御電圧の変換特性は、共振型の場合、可変容量素子の特性でほぼ決まるが、広い範囲で線形な変化を得ることが難しい。近年盛んになっているCMOSプロセスによる1チップ電圧制御発振器においては、従来のモジュールによる電圧制御発振器で可変容量素子として用いられている超階段接合等の特殊なプロセスによる可変容量素子が使用できないため、良好な可変容量特性を得ることが特に難しい。

【0008】図17は図16に示した従来型のCMOSプロセスによる電圧制御発振器の制御電圧 V_c に対する発振周波数の特性図である。また、図18はMOSトランジスタの制御電圧 V_c （ゲート電圧）に対するゲート容量の特性図である。

【0009】図16の電圧制御発振器の場合、可変容量素子の容量としてMOSトランジスタ303、304のゲート容量を用いているが、このゲート容量は図18に示すように閾値電圧近くで急激に変化するため、広範囲な線形性が得られない。前記したように、PLLの過渡応答特性や雑音帯域特性は、電圧制御発振器の変換利得によって決まるため、上記のように電圧制御発振器の変換利得の線形性が悪い場合は、発振周波数によってその特性が大きく変わるなどの問題を生じるため好ましくない。

【0010】また、電圧制御発振器の共振回路もオンチップで製造するため、特に高周波において製造バラツキによってその発振周波数が変動する。これを回避するためにバラツキを見越して可変範囲を大きくすると電圧制御発振器の変換利得が大きくなりすぎ、電圧に対する感度が高くなりすぎるため、位相雑音の劣化を招くという

問題を生じる。

【0011】また、可変範囲の広い電圧制御発振器で周波数変調回路を構成する場合には、変換利得が高いためベースバンド信号のレベルを小さくしなければならず、その結果変調精度が悪くなるという問題もある。

【0012】本発明は以上のような点に鑑みてなされたもので、その目的は、上記のようなCMOSプロセスにより集積化する上で発生する種々の問題を改善した電圧制御発振器を提供することである。

【0013】

【課題を解決するための手段】上記課題を解決するために、第1の発明は、負性抵抗回路と共振回路の一部を構成する第1の可変容量素子とをもち、該第1の可変容量素子の制御端子に加える周波数制御電圧を変化させることにより発振出力端子に得られる発振周波数を変化させる電圧制御発振器において、前記第1の可変容量素子に並列接続される第2の可変容量素子と、該第2の可変容量素子の制御端子に周波数補正信号を印加する周波数補正信号発生手段とを具備し、該周波数補正信号発生手段で発生した信号を前記第2の可変容量素子の制御端子に印加することにより前記第1の可変容量素子で決まる発振周波数のズレを補正するよう構成した。

【0014】第2の発明は、第1の発明において、前記発振出力端子に発振周波数を測定する測定手段を接続し、該測定手段で得られた測定結果を前記周波数補正信号発生手段に入力させることで、発振周波数のズレを補正するよう構成した。

【0015】第3の発明は、負性抵抗回路と共振回路の一部を構成する第1の可変容量素子とをもち、該第1の可変容量素子の制御端子に加える周波数制御電圧を変化させることにより発振出力端子に得られる発振周波数を変化させる電圧制御発振器において、前記第1の可変容量素子に並列接続される第3の可変容量素子と、該第3の可変容量素子の制御端子に周波数変調信号を印加する変調信号発生手段とを具備し、該変調信号発生手段で発生した信号を前記第3の可変容量素子の制御端子に印加することにより前記第1の可変容量素子で決まる発振周波数を変調させるよう構成した。

【0016】第4の発明は、負性抵抗回路と共振回路の一部を構成する第1の可変容量素子とをもち、該第1の可変容量素子の制御端子に加える周波数制御電圧を変化させることにより発振出力端子に得られる発振周波数を変化させる電圧制御発振器において、前記第1の可変容量素子に並列接続される少なくとも1つの第4の可変容量素子と、前記周波数制御電圧を入力して値の異なる複数の電圧を発生するレベルシフト回路を具備し、該レベルシフト回路で得られる異なった電圧を前記第1、第4の可変容量素子の制御端子に各々印加するよう構成した。

【0017】第5の発明は、負性抵抗回路と共振回路の

一部を構成する第1の可変容量素子とをもち、該第1の可変容量素子の制御端子に加える周波数制御電圧を変化させることにより発振出力端子に得られる発振周波数を変化させる電圧制御発振器において、前記第1の可変容量素子に並列接続される少なくとも1つの第5の可変容量素子と、該第5の可変容量素子の制御端子に当該可変容量素子の容量を第1の容量値と第2の容量値のいずれかに切り替える信号を印加する周波数レンジ切替信号発生手段とを具備し、該周波数レンジ切替信号発生手段で発生した信号を前記第5の可変容量素子の制御端子に印加することにより前記第1の可変容量素子で決まる発振周波数のレンジを切り替えるよう構成した。

【0018】第6の発明は、第1乃至5の発明のいずれか1つにおいて、前記可変容量素子として、CMOSプロセスによって形成されるMOSトランジスタを使用し、その容量として該MOSトランジスタのゲート容量を利用した。

【0019】

【発明の実施の形態】〔本発明の原理〕本発明の電圧制御発振器は、図1に示すように複数個（図では符号2031～2034に示すように4個）の可変容量素子を持ち、それぞれの可変容量素子2031～2034の周波数制御端子2041～2044に必要な応じた制御電圧を与えられるようにする。なお、この図1では可変容量素子2031～2034は交流的に接地されていることを表しており、直流的には接地されていない。したがって制御端子2041～2044は直流的には接地されていない。

【0020】この複数の可変容量素子の内の1つを発振周波数制御用とし別の1つを発振周波数補正用として製造バラツキ補正を行うことができ、また1つを発振周波数制御用とし別の1つを周波数変調用として変調動作時の精度劣化を防ぐことができ、また2以上を発振周波数制御用として変換特性の線形性を向上させることができ、さらに1つを発振周波数制御用とし別の1つ以上を発振周波数レンジ切替用として広範囲の周波数を発振できるようにすることができる。たとえば、周波数可変特性の線形性を向上させるためには、図2に示すようにレベルシフト回路206を用いて、周波数制御端子204に印加した制御電圧を所定電圧ずつシフトさせてそれぞれの可変容量素子2031～2034に与えることで実現できる。以下、各場合について詳しく説明する。

【0021】〔第1の実施形態〕図3に本発明の請求項1にかかる電圧制御発振器の実施形態を示す。これはCMOSプロセスによって形成されるMOSトランジスタを可変容量素子として使用し、その容量変化として該MOSトランジスタのゲート容量変化、つまりゲート・ソース間電圧に対するゲート・ソース間容量、ゲート・ドレイン間電圧に対するゲート・ドレイン間容量の変化を利用したものである。図3において、1は電流源、2、

3はインダクタ、4、5はNMOSトランジスタを利用した可変容量素子、6、7は負性抵抗回路を構成するクロスカプルのNMOSトランジスタである。インダクタ2、3と可変容量素子4、5は共振回路を構成する。一方の可変容量素子4の制御端子（ゲート）には周波数制御端子8が接続され、他方の可変容量素子5の制御端子には周波数補正信号発生回路9が接続されている。10、11は発振出力端子である。

【0022】このように本実施形態の電圧制御発振器は2個の可変容量素子4、5を具備し、その一方の可変容量素子4を主の発振周波数制御用とし、他方の可変容量素子5をその発振周波数の補正用としたものである。

【0023】この電圧制御発振器は、たとえば工場の出荷検査時に周波数制御端子8から予め決められた一定の電圧を加え、そのときの出力周波数の値をカウンタなどの周波数をモニタする回路により評価し、その値が一定の基準値の中に入るように周波数補正信号発生回路9の発生電圧を調整することで、製造時のバラツキによる周波数のズレを補正することができる。

【0024】さらに図4に示すように電圧制御発振器の出力にカウンタ等の周波数をモニタする機能を持つ周波数モニタ回路12を接続し、一定のタイミング、たとえば電源投入時や一定の時間間隔で発振出力周波数をモニタし、その結果によって周波数補正信号発生回路9の発生電圧を制御すること（請求項2）で、経時変化や温度変動に対して特性変化の少ない電圧制御発振器を構成することが可能になる。

【0025】〔第2の実施形態〕図5に本発明の請求項3にかかる電圧制御発振器の実施形態を示す。図5において、図3と同じものには同じ符号を付けている。この図5の電圧制御発振器は、発振周波数制御用の主の可変容量素子4に、その可変容量素子4を構成するトランジスタよりもサイズの小さなトランジスタで構成した可変容量素子13を並列接続して、そこに変調信号発生回路14により変調信号を印加するようにしたものである。15は変調ベースバンド信号の入力端子である。

【0026】ここでは、たとえば、可変容量素子13を構成するトランジスタのサイズを可変容量素子4を構成するトランジスタのサイズの $1/100$ とすると発振周波数 f は

$$f = 1 / (2\pi (LC)^{1/2})$$

で表される（ L はインダクタ2、3の合計インダクタンス、 C は可変容量素子4、13の合計容量）から、寄生容量を無視すると可変容量素子13の容量が $1/100$ になるため、発振周波数の変化量は $1/10$ になる。すなわち、電圧対周波数利得が $1/10$ になるため、ベースバンド信号を10倍の電圧で与えることができるようになり、変調精度を高くすることができる。変調信号発生回路14は端子15に入力する変調ベースバンドのデジタル信号に対して必要に応じてフィルタをかけたり、

可変容量素子13に入力する信号の振幅レベルの調整を行なう。

【0027】〔第3の実施形態〕図6に本発明の請求項4にかかる電圧制御発振器の実施形態を示す。ここでは、発振周波数制御用の可変容量素子を符号4A、4B、4C、4Dに示すように4個で構成し、その各可変容量素子4A、4B、4C、4Dに、レベルシフト回路16から制御電圧を印加するようにしている。レベルシフト回路16は、周波数制御端子8から入力される制御電圧を V_c とすると、その4つの出力端子からそれぞれ V_c 、 $V_c - V_d$ 、 $V_c - 2V_d$ 、 $V_c - 3V_d$ のように V_d だけシフトした電圧が発生する。

【0028】4個の可変容量素子4A、4B、4C、4Dとして使用している8個のトランジスタのゲート電圧対ゲート容量の特性は、図18で示したように閾値近傍で急激に変化する特性で同じ同じであるが、制御電圧 V_c をレベルシフト回路16を通して電圧 V_d ずつシフトして各可変容量素子4A、4B、4C、4Dに印加することで、それらの制御電圧に対する各トランジスタのゲート容量の特性は図7に示すように、それぞれ電圧方向に V_d ずつオフセットがかかった特性になる。図7において、51A、51B、51C、51Dはそれぞれ可変容量素子4A、4B、4C、4Dのトランジスタのゲート電圧に対するゲート容量の特性図である。

【0029】共振回路の容量としては、これら4個の可変容量素子4A、4B、4C、4Dの容量の合計になるため、その合計容量は図8の実線52で示す特性になり、破線で示す従来の容量特性53（図18と同じ）に比べて、容量の変化幅に対し制御電圧の制御幅が広がっており、線形な範囲が広がっていることがわかる。発振周波数の変化は可変容量の変化に追従するため、図9に示すように、制御電圧に対する発振周波数の線形範囲も広がる。図9において、実線54が本実施形態によるもの、破線55が従来の場合（図17と同じ）である。

【0030】なお、本実施形態は可変容量素子を4個で構成しているが、さらに増やすことでより線形範囲を広げることができる。

【0031】図10はレベルシフト回路16の構成例である。17～19は電源に直列接続したNMOSトランジスタ、20は電流源、21は周波数制御端子8に接続される入力端子、22～25は4個の可変容量素子4A、4B、4C、4Dに接続するための出力端子である。本回路はトランジスタ17～19のドレイン・ソース間に流れる電流が一定であるため、それら各トランジスタのサイズを同じにしておけば、トランジスタのゲート・ソース間電圧が一定（ V_d ）になるため、入力端子21に入力した電圧 V_c に対して一定の電圧 V_d だけ順次シフトした電圧を出力端子22～25に得ることができる。

【0032】〔第4の実施形態〕図11に本発明の請求

項5にかかる電圧制御発振器の実施形態を示す。図11の回路は、可変容量素子として、図3に示す電圧制御発振器で説明した発振周波数制御用の主の可変容量素子4の他に、周波数レンジ切替用の可変容量素子26A、26B、26Cを使用している。27は周波数レンジ切替制御回路、28は周波数レンジ設定信号が入力する制御端子である。

【0033】ここでは、周波数レンジ切替制御回路27によって、可変容量素子26A、26B、26Cにそれらの各々のトランジスタをオン／オフするような2値のデジタル信号（例えばオンのためにはハイレベル信号、オフのためにはロウレベル信号）を印加する。トランジスタをオフさせたときには、そのトランジスタのチャネル抵抗が非常に高くなるためゲート容量はほとんど見えなくなり（第1の容量値）、そのトランジスタで構成される可変容量素子の容量は発振周波数にほとんど影響を与えない。逆にトランジスタをオンさせたときにはそのトランジスタで構成される可変容量素子のゲート容量（第2の容量値）が共振回路に追加され、発振周波数のレンジを変更させる。これにより、周波数制御端子8に入力する制御電圧に対応する発振周波数のレンジを高速に切り替えることが可能になる。これにより特願2000-10408のような電圧制御発振器とこれを用いた送信側直接変調、受信側シングルコンバージョン方式の受信回路を実現することが可能である。

【0034】なお、本実施形態は周波数レンジ切替用の可変容量素子を3個で構成しているが、さらに増やすことでよりレンジ切替数を増やすことができる。

【0035】〔第5の実施形態〕図12に以上説明した第1～第4の実施形態の構成を全て含むようにした電圧制御発振器の実施形態を示す。可変容量素子4A、4B、4C、4Dにはレベルシフト回路16を通してオフセットをかけた制御電圧を入力し、周波数制御端子8の制御電圧に対する出力周波数の変換利得の線形性の向上を図っている。可変容量素子13は可変容量素子4A、4B、4C、4Dに比べ小さなサイズの可変容量素子で構成され変調信号発生回路14から周波数変調のための変調ベースバンド信号が入力する。可変容量素子5には周波数制御端子8の制御電圧に対する発振周波数の製造バラツキ等によるズレを補償する信号が入力する。可変容量素子26A、26B、26Cには周波数レンジ切替制御回路26で発生したMOSトランジスタをオン／オフするための信号を入力し、必要な周波数レンジに電圧制御発振器の発振周波数を切り替える。

【0036】以上によって、本実施形態は、線形性が良く、製造バラツキに対して補償可能であり、周波数変調器を構成するのが容易であり、周波数レンジを高速に広範囲に切り替えることのできる電圧制御発振器を実現できる。

【0037】〔その他の実施形態〕なお、以上説明した

各実施形態の電圧制御発振器は、可変容量素子及びクロスカップルトランジスタにNMOSトランジスタを用いているが、それぞれにPMOSトランジスタを用いた構成についても同様に適用することが可能である。

【0038】

【発明の効果】以上説明したように本発明の電圧制御発振器によれば、制御電圧対周波数特性の線形範囲を広げることが可能になり、これによって、PLLを構成するときの出力周波数によるループ特性の変動を押さえることができる効果がある。

【0039】また、従来ではCMOSプロセスで構成しようとしたときに線形範囲の広い可変容量素子を得ることが困難であったが、本発明を適用することでCMOSプロセスによる共振型電圧制御発振器においても線形範囲の狭い可変容量素子を用いて線形範囲の広い電圧制御発振器を構成することが可能となる。

【0040】さらには、プロセスの変動による周波数のズレを容易に補正できるようになり、高い変調精度の周波数変調器を容易に構成することができるようになり、周波数レンジを高速に切り替えることが可能となる等、実用上大きな効果がある。

【図面の簡単な説明】

【図1】 本発明の電圧制御発振器の原理説明用の回路図である。

【図2】 本発明の線形性を向上させる電圧制御発振器の原理説明用の回路図である。

【図3】 本発明をCMOSプロセスで構成した共振型電圧制御発振器に適用して周波数補正を可能にした第1の実施形態の電圧制御発振器の回路図である。

【図4】 図3の電圧制御発振器の周波数補正を自動化した例の電圧制御発振器の回路図である。

【図5】 本発明をCMOSプロセスで構成した共振型電圧制御発振器に適用して周波数変調を可能にした第2の実施形態の電圧制御発振器の回路図である。

【図6】 本発明をCMOSプロセスで構成した共振型電圧制御発振器に適用して変換特性の線形性を向上させた第3の実施形態の電圧制御発振器の回路図である。

【図7】 図6の電圧制御発振器における各可変容量素子のトランジスタのゲート容量の制御電圧に対する特性図である。

【図8】 図6の電圧制御発振器における各可変容量素子の合計容量の制御電圧に対する特性図である。

【図9】 図6の電圧制御発振回路の制御電圧に対する発振周波数の特性図である。

【図10】 図6の電圧制御発振器におけるレベルシフ

ト回路の回路図である。

【図11】 本発明をCMOSプロセスで構成した共振型電圧制御発振器に適用して周波数レンジの切り替えを可能にした第4の実施形態の電圧制御発振器の回路図である。

【図12】 本発明をCMOSプロセスで構成した共振型電圧制御発振器に適用して周波数補正、周波数変調、発振周波数の線形性向上、周波数レンジ切り替えを可能にした第5の実施形態の電圧制御発振器の回路図である。

【図13】 一般的なPLLのブロック図である。

【図14】 従来の共振型電圧制御発振器のブロック図である。

【図15】 PLLを用いた周波数変調回路のブロック図である。

【図16】 CMOSプロセスで構成した従来の共振型電圧制御発振器の回路図である。

【図17】 図16の電圧制御発振回路の制御電圧に対する発振周波数の特性図である。

【図18】 図16の電圧制御発振回路の可変容量素子のトランジスタの制御電圧に対する容量の特性図である。

【符号の説明】

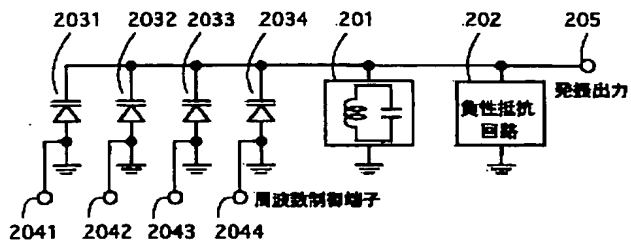
1：電流源、2，3：インダクタ、4，4A，4B，4C，4D，5：可変容量素子、6，7：トランジスタ、8：周波数制御端子、9：周波数補正信号発生回路、10，11：発振出力端子、12：周波数モニタ回路、13：可変容量素子、14：変調信号発生回路、15：変調ベースバンド信号入力端子、16：レベルシフト回路、17～19：トランジスタ、20：電流源、21：入力端子、22～25：出力端子、26A，26B，26C：可変容量素子、27：周波数レンジ切替制御回路、28：制御端子

101：位相比較器、102：ループフィルタ、103：電圧制御発振器、104：可変分周器、105：基準信号の入力端子、106：出力端子、107：変調制御端子

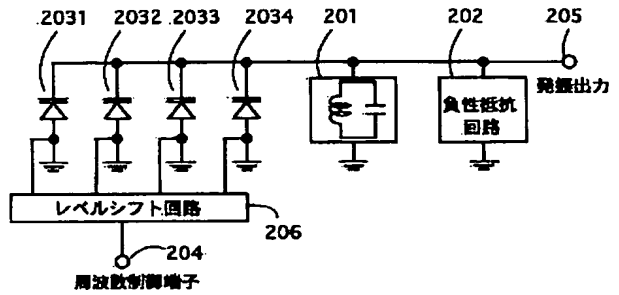
201：共振回路、202：負性抵抗回路、203，2031～2034：可変容量素子、204，2041～2044：周波数制御端子、205：発振出力端子、206：レベルシフト回路

301，302：インダクタ、303～306：NMOSトランジスタ、307：電流源、308：周波数制御端子、309，310：発振出力端子

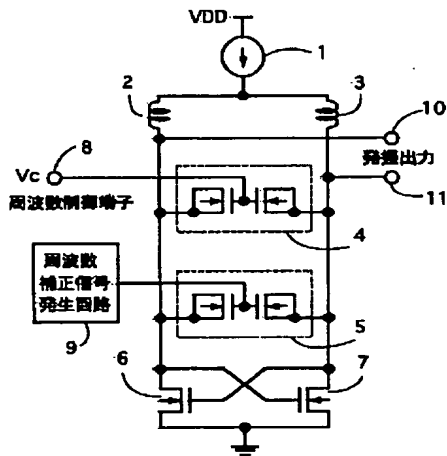
【図 1】



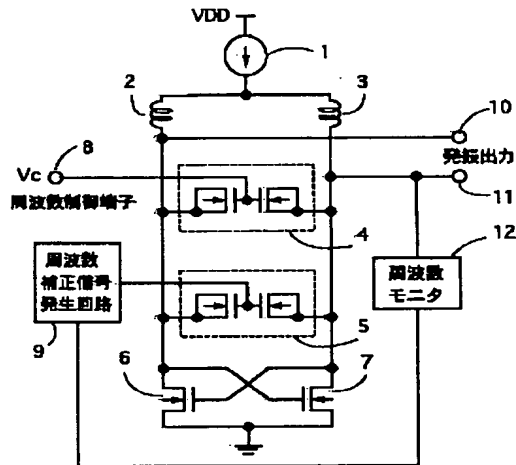
【図 2】



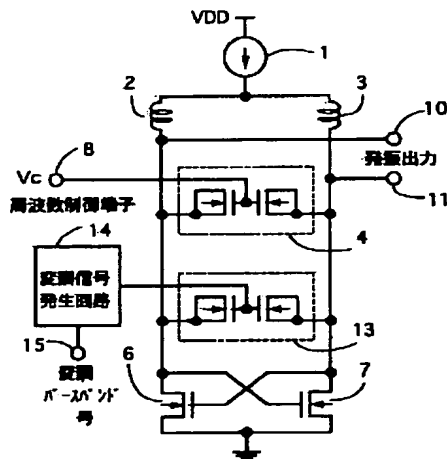
【図 3】



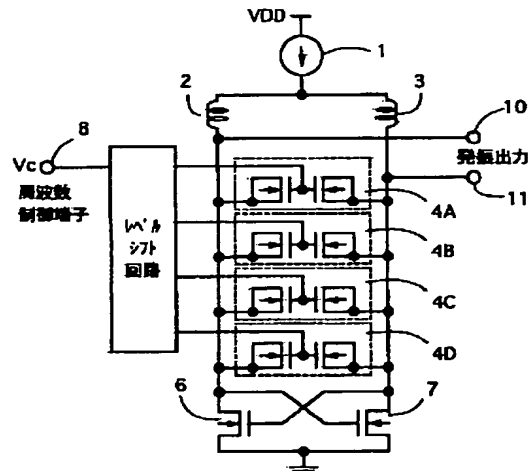
【図 4】



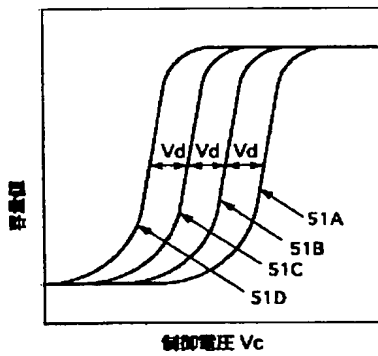
【図 5】



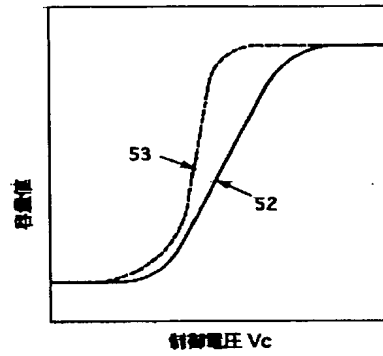
【図 6】



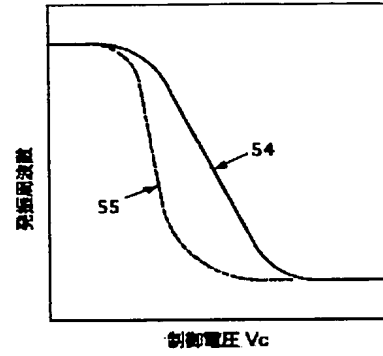
【図7】



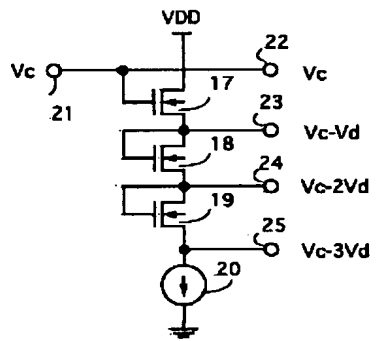
【図8】



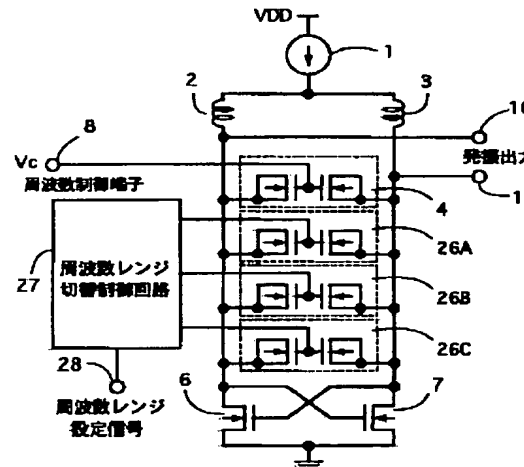
【図9】



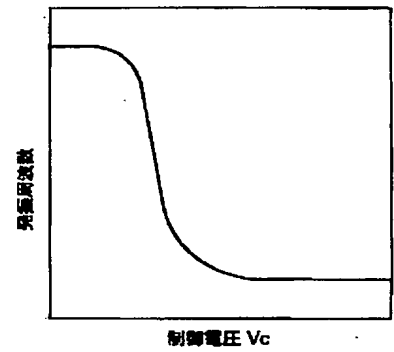
【図10】



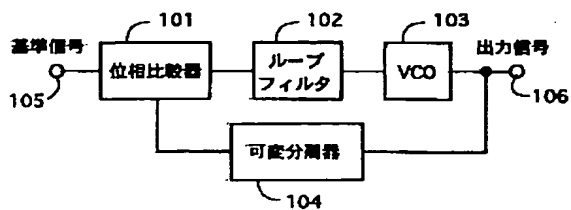
【図11】



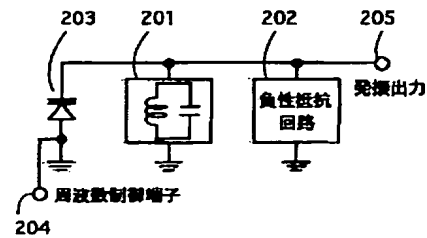
【図17】



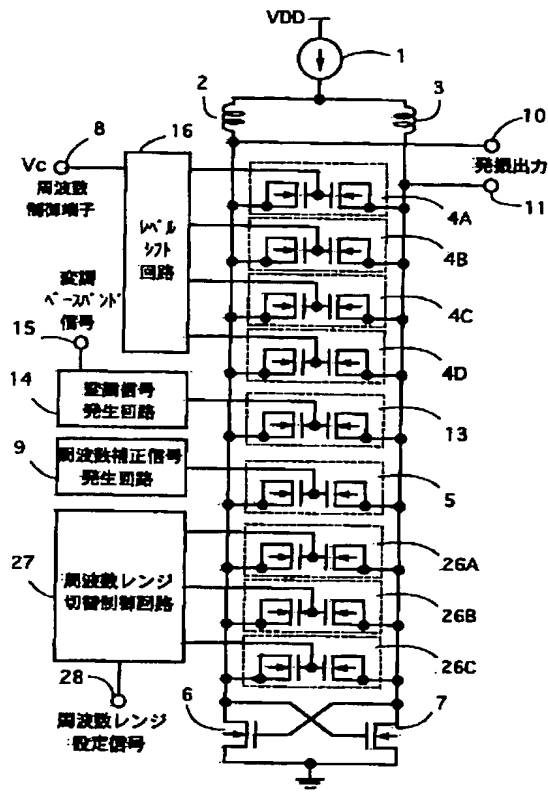
【図13】



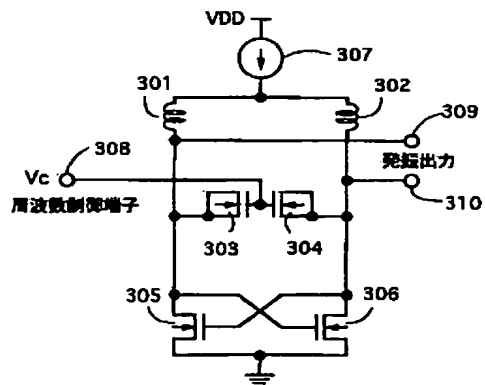
【図14】



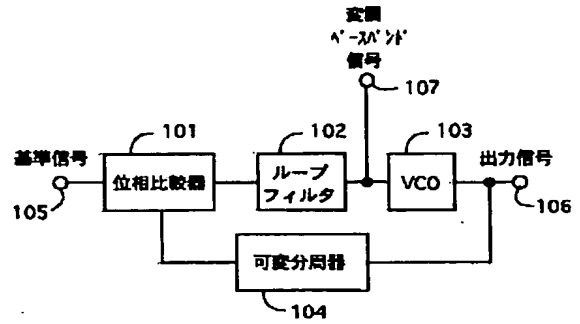
【図12】



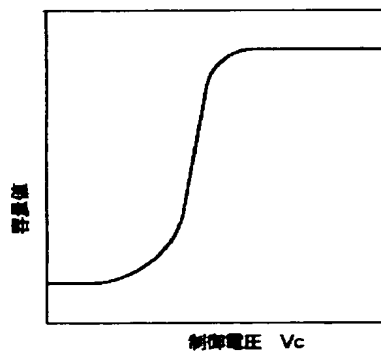
【図16】



【図15】



【図18】



フロントページの続き

(72)発明者 東原 恒夫

東京都千代田区大手町二丁目3番1号 日

本電信電話株式会社内

Fターム(参考) 5J081 BB01 CC04 CC06 CC22 DD04

DD29 EE02 EE03 KK02 MM03

5J106 AA01 BB01 CC02 GG01 HH01

JJ01 KK02 KK12 LL01

5K004 AA04 EE07 EG08